

(51) Int.Cl.<sup>7</sup>  
H 0 1 L 27/12

識別記号

F I  
H 0 1 L 27/12テーマコード<sup>\*</sup>(参考)  
B 5 F 0 4 8  
C 5 F 1 1 0

21/02

21/02

B

21/8234

27/08

3 3 1 E

27/088

1 0 2 B

審査請求 未請求 請求項の数16 O.L. (全 10 頁) 最終頁に続く

(21)出願番号 特願2000-137214(P2000-137214)

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(22)出願日 平成12年5月10日(2000.5.10)

(72)発明者 清水 久恵

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74)代理人 100065385

弁理士 山下 穂平

Fターム(参考) 5F048 AA02 AA03 AC01 BA16 BC11

BD09 BH02 CC06 CC18

5F110 AA15 AA22 CC02 DD05 GG02

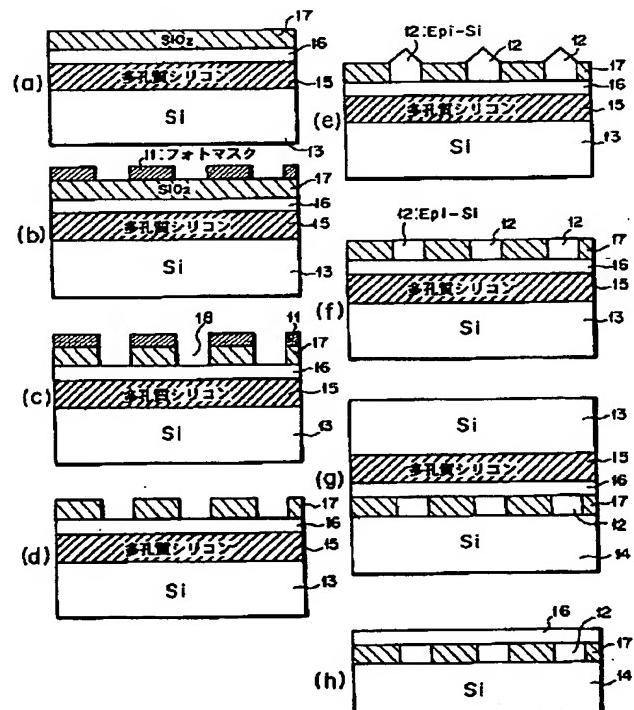
GG12 GG22 NN71

## (54)【発明の名称】 半導体部材の製造方法およびそれを用いた半導体部材、半導体装置

## (57)【要約】

【課題】 貼り合わせ法を用いたS O I基板において、複数の絶縁領域間に半導体領域を設ける。

【解決手段】 複数の絶縁領域17と複数の絶縁領域間に設けられた複数の半導体領域12とを有する第1の部材を用意する工程と、第1の部材と半導体基体である第2の部材14とを、複数の絶縁領域と複数の半導体領域とが内側に位置する構造体が得られるように貼り合わせる工程と、第2の部材14側に複数の絶縁領域と複数の半導体領域とを移設する工程と、を有する。



## 【特許請求の範囲】

【請求項 1】 複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第 1 の部材を用意する工程と、

前記第 1 の部材と半導体基体である第 2 の部材とを、前記複数の絶縁領域と前記複数の半導体領域とが内側に位置する多層構造体が得られるように貼り合わせる工程と、

前記第 2 の部材側に前記複数の絶縁領域と前記複数の半導体領域とを移設する工程と、を有する半導体部材の製造方法。  
10

【請求項 2】 半導体基体上または半導体層を有する基体の該半導体層上に、複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第 1 の部材を用意する工程と、

前記第 1 の部材と半導体基体である第 2 の部材とを、前記複数の絶縁領域と前記複数の半導体領域とが内側に位置する多層構造体が得られるように貼り合わせる工程と、

前記第 2 の部材側に前記複数の絶縁領域、前記複数の半導体領域、および前記半導体基体の一部又は前記半導体層を移設する工程と、を有する半導体部材の製造方法。  
20

【請求項 3】 前記移設工程は、前記第 1 の部材の複数の絶縁領域と複数の半導体領域との下に設けられた分離層で分離することで行われる請求項 1 に記載の半導体部材の製造方法。

【請求項 4】 前記移設工程は、前記第 1 の部材の半導体基体内、又は前記基体の前記半導体層下に設けられた分離層で分離することで行われる請求項 2 に記載の半導体部材の製造方法。  
30

【請求項 5】 複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第 1 の部材を用意する工程と、

半導体層を有する第 2 の部材を用意する工程と、

前記第 1 の部材の前記複数の絶縁領域及び前記複数の半導体領域と、前記第 2 の部材の前記半導体層とが内側に位置する多層構造体が得られるように、前記第 1 の部材と前記第 2 の部材とを貼り合わせる工程と、

前記第 1 の部材側に前記半導体層を移設する工程と、を有する半導体部材の製造方法。  
40

【請求項 6】 複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第 1 の部材を用意する工程と、

前記第 1 の部材の前記複数の絶縁領域及び前記複数の半導体領域が内側に位置する多層構造体が得られるよう前に、前記第 1 の部材と半導体基体である第 2 の部材とを貼り合わせる工程と、

前記第 1 の部材側に前記第 2 の部材の半導体基体の一部を移設する工程と、を有する半導体部材の製造方法。

【請求項 7】 前記移設工程は、前記第 2 の部材の前記  
50

半導体層下に設けられた分離層で分離することで行われる請求項 5 に記載の半導体部材の製造方法。

【請求項 8】 前記半導体層は、エピタキシャル成長で形成されていることを特徴とする請求項 2 又は請求項 5 に記載の半導体部材の製造方法。

【請求項 9】 前記移設工程は、前記第 2 の部材の半導体基体内に設けられた分離層で分離することで行われる請求項 6 に記載の半導体部材の製造方法。

【請求項 10】 前記複数の絶縁領域と前記複数の半導体領域は、半導体面上に絶縁層を形成し、該絶縁層を開口した後に、開口部に前記半導体領域を堆積することで形成されることを特徴とする請求項 1 - 9 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 11】 前記複数の絶縁領域と前記複数の半導体領域は、半導体基体又は半導体層に選択的に絶縁領域を設けることで形成されることを特徴とする請求項 1 - 9 のいずれか 1 項に記載の半導体部材の製造方法。

【請求項 12】 請求項 1 - 11 のいずれか 1 項に記載の製造方法により製造された半導体部材。

【請求項 13】 請求項 2、4、5、6 - 11 のいずれか 1 項に記載の製造方法により製造された半導体部材を用いた半導体装置であって、

前記半導体領域の直上に位置する、前記半導体層における領域又は前記半導体基体の一部における領域に、半導体回路の少なくとも一部が設けられている半導体装置。

【請求項 14】 前記半導体回路は、外部からの過電圧、過電流に対する保護回路であることを特徴とする請求項 13 に記載の半導体装置。

【請求項 15】 前記半導体回路は、外部からの過電圧、過電流に対する保護回路と、電界効果トランジスタのチャネル領域とであることを特徴とする請求項 13 に記載の半導体装置。

【請求項 16】 前記半導体回路は、外部からの過電圧、過電流に対する保護回路と、高耐圧半導体素子とであることを特徴とする請求項 13 に記載の半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は半導体部材の製造方法およびそれを用いた半導体部材、半導体装置に係わり、特に半導体面上に絶縁層を介して半導体層を有する SOI 基板の製造方法およびそれを用いた半導体部材、半導体装置に関する。

## 【0002】

【従来の技術】 SOI (Semiconductor On Insulator) 基板は酸化膜等の絶縁層を介して、下地の半導体基板と素子形成を行う Si 等の半導体の活性層とが分離された構造をしている。図 10 は SOI 基板の構造を示す断面図である。図 10 において、101 は半導体基板、102 は絶縁層、103 は半導体の活性層である。

【0003】 図 11 は上記 SOI 基板上に MOS トラン

ジスタを形成した場合の断面図である。バルク基板上に形成されたものに比べ、MOSトランジスタ104のソース・ドレン（S, D）底部が酸化膜等の絶縁層102と接していて、拡散層容量などの寄生容量を低減することができ、半導体装置の高速化、低消費電力駆動を実現できる。さらに絶縁層102で各素子が分離されているため、ノイズ低減の効果がある。

#### 【0004】

【発明が解決しようとする課題】しかしながら、絶縁層があるがために、MOSチャネル底部ではドレン近傍の高電界から生じる過剰キャリアが逃げ場を失い蓄積され、SOI基板上のMOSトランジスタ特有の「キンク現象」や、「寄生バイポーラ効果」の原因となり素子特性を劣化させてしまう。さらに、ESD（Electrostatic Discharge）対策用の保護回路を考える場合にも、絶縁層があるため、バルク基板のようにサージによる過剰電荷を下地基板側に逃がすことができず、効果的な保護回路の形成が困難になる。結果としてSOI基板上に作られた素子の保護回路はバルク基板に比べ格段に面積が大きくなってしまい、微細化にとって望ましくないレイアウト構成になる、という課題があった。

#### 【0005】

【課題を解決するための手段】本発明の半導体部材の製造方法は、複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第1の部材を用意する工程と、前記第1の部材と半導体基体である第2の部材とを、前記複数の絶縁領域と前記複数の半導体領域とが内側に位置する多層構造体が得られるように貼り合わせる工程と、前記第2の部材側に前記複数の絶縁領域と前記複数の半導体領域とを移設する工程と、を有するものである。

【0006】また本発明の半導体部材の製造方法は、半導体基体上または半導体層と有する基体の該半導体層上に、複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第1の部材を用意する工程と、前記第1の部材と半導体基体である第2の部材とを、前記複数の絶縁領域と前記複数の半導体領域とが内側に位置する多層構造体が得られるように貼り合わせる工程と、前記第2の部材側に前記複数の絶縁領域、前記複数の半導体領域、および前記半導体基体の一部又は前記半導体層を移設する工程と、を有するものである。

【0007】また本発明の半導体部材の製造方法は、複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第1の部材を用意する工程と、半導体層と有する第2の部材を用意する工程と、前記第1の部材の前記複数の絶縁領域及び前記複数の半導体領域と、前記第2の部材の前記半導体層とが内側に位置する多層構造体が得られるように、前記第1の部材と前記第2の部材とを貼り合わせる工程と、前記第1の部材側に前記半導体層を移設する工程と、を有するものである。

【0008】また本発明の半導体部材の製造方法は、複数の絶縁領域と該複数の絶縁領域間に設けられた複数の半導体領域とを有する第1の部材を用意する工程と、前記第1の部材の前記複数の絶縁領域及び前記複数の半導体領域が内側に位置する多層構造体が得られるように、前記第1の部材と半導体基体である第2の部材とを貼り合わせる工程と、前記第1の部材側に前記第2の部材の半導体基体の一部を移設する工程と、を有するものである。

【0009】本発明の半導体部材は本発明の製造方法により製造されたものである。

【0010】本発明の半導体装置は本発明の半導体部材を用いたものであって、半導体領域上の半導体層又は半導体基体の一部に、半導体回路の少なくとも一部が設けられているものである。

#### 【0011】

【作用】本発明は、図9に示すように埋め込み酸化膜等の絶縁領域92間に上部半導体層94と下地の半導体層（又は半導体基体）91をつなぐ半導体アイランド層93を設けた半導体部材を提供するものである。

【0012】それによって図8に示すようにMOSトランジスタおよびESD対策用の保護回路を形成する際、MOSのチャネル領域直下、もしくは保護回路直下にこの半導体アイランド領域がくるように素子を形成することができる。

【0013】その結果、一つにはドレンの高電界で発生した余剰キャリアはMOSのチャネル底部に集まってそこから半導体アイランドを通して下地基板81に抜けることができる。このため、チャネル底部にキャリアが蓄積することで生じる、キンク電流の発生や、寄生バイポーラ効果、などSOI上のMOSトランジスタ特有の素子劣化を抑制することができる。

【0014】また、二つにはESD対策用の保護ダイオードを、バルク基板に対するのと同様に縦形に形成することができる。静電気によって発生する過剰な電荷を、埋め込み酸化膜82間の半導体アイランド領域を通じて下地基板に放散させることができる。このためバルクの保護回路をそのまま利用することが可能になる。

#### 【0015】

【発明の実施の形態】以下、本発明の実施形態について図面を用いて詳細に説明する。

【0016】図1は本発明のSOI基板の作製方法の工程を示す断面図である。

【0017】まず図1(a)に示すように、2枚の基板を貼りあわせる前の方の基板を作製するべく、下地基板13の分離層15上にSOIの活性層にあたるSi層等の半導体層16を設け、その上に絶縁膜に相当するシリコン酸化膜17を積層する。

【0018】SOI基板の活性層であるSi層はエピタキシャル成長で作られたSiの場合もあれば、CZ法等

で作られたSiウエハの一部の場合もある。また、多孔質シリコン等の分離層を用いて行う貼りあわせタイプの場合に限らず、ウエハ同士を酸化膜等の絶縁層を介して貼り合わせる、多孔質シリコン等の分離層を用いないで行う貼りあわせタイプの場合もある。

【0019】半導体基体上に分離層を介して半導体層を有する部材を形成する方法は大別すると2つ有り、一つは、半導体基体に多孔質層を形成した後その表面に非多孔質層を形成する方法である。非多孔質層は多孔質層上にエピタキシャル成長させる方法、多孔質層の表面を水素を含む雰囲気で熱処理して形成する方法がある。もう一つは、水素イオン、希ガスイオン、窒素イオン等の異種元素を半導体基体に注入して微少空隙を含む層或いはその後の熱処理により微少空隙を生じる潜在的微少空隙を含む層を半導体基体の表面より所定の深さの位置に形成する方法である。

【0020】次に図1(b)に示すように、フォトマスク11を用いてドライエッティングし、そして図1(c)に示すように、 $\text{SiO}_2$ の存在しない半導体面が露出した所望の領域18を作る。

【0021】次に図1(d)に示すように、フォトマスク11を除去した後、半導体面が露出した所望の領域18に、選択エピタキシャルを行って、図1(e)のようなエピタキシャルSi層12を形成する。この選択エピタキシャルについては、例えばCVD法においてシラン系のガスを用い、成長温度を1000°C以上の高温にして、選択性を得ている。具体的には、CVD法において、1100°C、常圧で、 $\text{H}_2$ ガス150(l/mi n), HC1ガス(400sccm)、トリクロロシランSiHC1(液体)36.2(g/mi n)、で30秒積層する。または、ガスソース分子線成長法により、ジシラン( $\text{Si}_2\text{H}_6$ )または $\text{SiH}_4$ を原料ガスにして、分子線領域真空中で成長させる方法がある。さらに、 $\text{SiH}_2\text{Cl}_2/\text{H}_2$ 系を使用して選択成長させることもできる。

【0022】こうしてSOI基板の酸化膜(絶縁層)に相当する層に、選択的にSi領域12を設けることができる。

【0023】つぎにこのような選択エピタキシャルによるSi領域12は、ピラミッド型の成長をするため、生成直後は図1(e)のように、 $\text{SiO}_2$ 層との表面平坦性の悪いファセット(Facet)が現れる。このため、他の基板と貼りあわせる前に、選択研磨を行い、図1(f)のように表面平坦性を上げることが求められる。

【0024】選択研磨については様々な方法がすでに提案されており、例えば酸化膜をストッパーにした研磨や、酸化膜より強度の高い「窒化膜」をストッパーに用いたり、CMP(化学機械的ポリッシング)を行うなどの方法がある。これらの方法を用いて、基板13の表面である、Si領域12を含む酸化膜表面の平坦性を確

保する。こうして複数の絶縁領域となるシリコン酸化膜17と複数の半導体領域となるSi領域12が形成される。

【0025】その後、図1(g)に示されるように、基板13の平坦化面とウエハ等の他の基板14の基板面との貼りあわせを行って多層構造体とし、さらにこの多層構造体を分離層で分離することで、図1(h)に示されるように、基板14側に半導体層16とシリコン酸化膜17とを移設してSOI基板を作製する。

【0026】なお、分離層による分離の方法は大別すると2種類ある。一つは、多層構造体を外部から加熱したり、多層構造体に光を照射して光吸収させたりすることにより、多層構造体内部に分離の為のエネルギーを発生させる方法である。具体的には、水素イオン、希ガスイオン、窒素イオン等を第1のウエハの所定の深さの位置に打ち込んで形成された微少空隙を含む層或いは潜在的微少空隙を含む層は、熱エネルギーを受けることにより、その微少空隙が増大しつつ、密度が減少する。これにより、該層において多層構造体の剥離現象が生じる。

これが、多層構造体内部に分離のためのエネルギーを発生させる方法である。或いは、加熱処理により分離層及び/又はその近傍を側面側から酸化して酸化膜成長による応力をを利用して分離する方法等であってもよい。

【0027】もう一つは、分離の為のエネルギーを外部から直接多層構造体に与える方法である。具体的には、多層構造体の側面に楔を挿入して剥離する方法、多層構造体の側面に液体及び/又は気体からなる流体を吹き付けて剥離する方法、多層構造体の表面及び裏面に互いに反対向きの張力を加えて剥離する方法、多層構造体の表面及び裏面に互いに反対向きの押圧力を加えて分離層を破壊して剥離する方法、多層構造体の側面にせん断力を加えて分離層を破壊して剥離する方法、内周刃やワイヤーソーを用いてスライスする方法、超音波振動を与えて分離層を破壊する方法などである。吹き付ける液体や気体は特に限定されるものではないが、水や窒素ガス等が挙げられる。勿論、上述した分離方法を組み合わせて併用してもよい。

【0028】さらにこうして作製されたSOI基板上にMOSトランジスタや保護回路を作製していく際に、マスクのアライメント合わせは、例えば基板下から赤外光を照射し、それを基板上からIRカメラでモニターすることで、酸化膜の $\text{SiO}_2$ とSiの分布を識別することが可能になる。これによりMOSトランジスタのチャネル領域や、ESD保護ダイオードの直下にSi領域12が位置するようになる。

【0029】なお、本実施形態では一方の基板に分離層15、半導体層16、半導体領域12を形成し、他方の基板に半導体層16と半導体領域12を移設する例を示したが、図4に示すように、一方の基板に半導体領域を形成し、他方の基板に分離層と半導体層を形成し、該一

方の基板に半導体層を移設することもできる。

### 【0030】

【実施例】以下、本発明の実施例について図面を用いて説明する。

【0031】【実施例1】本実施例は第1の単結晶半導体基体に多孔質層を形成した後その表面に非多孔質層を形成して、第2の単結晶半導体基体に貼り合わせた後に、多孔質層を分離層で分離することで非多孔質層を第2の単結晶半導体基体に移設する方法を用いて本発明を実施した場合の例である。10

【0032】まず本実施例の説明に先立って、本実施例に用いる上記方法について、図2(a)～(f)を用いて説明する。

【0033】まず図2(a)に示すように、第1のバルクウエハ20上に多孔質Si層21を形成し、その上に活性層となるエピタキシャルSi層22を成長させる。さらに図2(b)に示すように、熱酸化してシリコン酸化膜24を形成させた後、図2(c)に示すハンドルウエハ23と結合して図2(d)に示す多層構造体を作製する。さらに多孔質層内または多孔質層とウエハ20と界面、多孔質層と半導体層22との界面で分離させる。このときハンドルウエハ23側にはシリコン酸化膜24とエピタキシャルSi層22が移設される。図2(e)に示すように、エピタキシャルSi層22上に分離された多孔質層の一部が残っている場合には研削、エッティング等により除去し、図2(f)に示すSOI基板を得る。20

【0034】なお、多孔質Si層はエピタキシャル層の成長まえに酸化処理を行い、更に水素処理を行うことで層表面の酸化膜を除去することで、熱処理温度によって変質しないようにすることができ、十分な結合強度が得られるまで結合アーニール温度を上げることができ、結合面での剥離を防ぐことができる。30

【0035】多孔質SiをエピタキシャルSi層に対して選択的にエッティングするにはHF+H<sub>2</sub>O<sub>2</sub>液を用いることができる。

【0036】なお、上記の方法は、例えば特開平5-21338号公報に詳しく述べられているが、ここでは一例として、P型基体20を多孔質化し、単結晶層をエピタキシャル成長させて半導体基体を得る方法について、図2(a)～(f)を用いてさらに詳細に以下に説明する。40

【0037】まず、図2(a)に示すように、P型Si単結晶基体20を用意して、その一部を多孔質化して多孔質Si層21を形成する。

【0038】次に図2(b)に示すように、前述の低温成長可能な結晶成長法により、多孔質化した基体表面にエピタキシャル成長を行い、薄膜単結晶層22を形成する。P型Si単結晶基体20は、HF溶液を用いた陽極化成法によって、多孔質化させる。この多孔質Si層250

1は、単結晶Siの密度2.33g/cm<sup>3</sup>に比べて、その密度をHF溶液濃度を5.0～20%に変化させることで、密度1.1～0.6g/cm<sup>3</sup>の範囲に変化させることができる。さらにその表面に酸化層24を形成する。

【0039】次いで、図2(c)に示すように、もう一つのSi基体23を用意して、このSi基体23と、図2(b)の多孔質Si基体21上に単結晶Si層22、酸化層24が形成されているSi基体と、図2(d)のように貼りあわせて多層構造体を作製する。

【0040】この後に、図2(e)に示すように、多孔質Si層21を全部エッティング除去又は多孔質Si層21で分割した後残った多孔質Si層21をエッティング除去して、SiO<sub>2</sub>層24上に薄膜化した単結晶シリコン層22を残存させ形成する。ここでは、多孔質半導体層に酸化処理を施すことなく多孔質半導体層をエッティング除去するため、多孔質半導体層の酸化膨張が防げ、エピタキシャル成長した単結晶層への歪みの影響を防ぐことができる。この方法によれば、絶縁物である酸化Si層24上に結晶性がシリコンウエハと同等な単結晶Si層22が、平坦に、しかも均一に薄膜化されて、ウエハ全域に、大面積に形成される。こうして得られた半導体基体は、絶縁分離された電子素子作製という点においても、好適に使用することができる。

【0041】多孔質半導体基体上に形成する非多孔質半導体結晶層の層厚は薄膜半導体デバイスを前記半導体単結晶層を形成するために、好ましくは5.0μm以下、より好ましくは2.0μm以下とするのが望ましい。

【0042】また、非多孔質半導体単結晶と絶縁性材料表面を有する基体との貼り付けは窒素、不活性ガス又はこれ等の混合基体雰囲気中、あるいは不活性ガス又は窒素を含有する雰囲気中にて行うことが好ましく、更に加熱状態で行うことが望ましい。

【0043】絶縁性材料表面を有する基体上に貼りあわせられた非多孔質半導体単結晶層を残して多孔質化した半導体基体を選択的にエッティングするエッチャントとしては例えば水酸化ナトリウム水溶液、水酸化カリウム水溶液、フッ酸-硝酸-酢酸混合溶液等のエッチャントが挙げられる。

【0044】以上述べたのが本実施例に用いる、多孔質層を分離層で分離することで非多孔質層を他の基板に移設する方法であるが、それを用いた本実施例のSOI基板の作製方法を図1(a)～(h)を用いて説明する。

【0045】まず、図1(a)に示すように、第1のバルクウエハ13上に多孔質Si層15を形成し、その上に活性層となるエピタキシャルSi層16を成長させて、熱酸化によりシリコン酸化膜17を形成するところまでは図2を用いて説明した方法と同様に行う。

【0046】次に上述した実施形態で用いたのと同様の方法で、一面に均一に形成されているSiO<sub>2</sub>に対し、

図1 (b) に示されるようにフォトマスク11を用いてドライエッティングを行う。フォトマスクの大きさは、最大でもMOSトランジスタのチャネル領域や保護ダイオード相当であることが望ましい。図1 (c) に示されるように、ドライエッティングによりSiO<sub>2</sub>の存在しない所望の領域18を作り、図1 (d) に示されるようにフォトマスク11を除去し、領域18に選択エピタキシャル成長を行って、図1 (e) のようなエピタキシャルSi領域12を形成する。そして、図1 (f) のように選択研磨を行って表面平坦性を確保した後、図1 (g) に示すように、第2のウエハであるハンドルウエハ14と貼りあわせる。

【0047】 続いて、図1 (h) に示すように、通常の貼り合わせによるSOIの作製方法により、多孔質Siと結合しているSiを研削し、エッティングにより多孔質Si層も除去することで、SOI構造を得ることができる。

【0048】 アライメント合わせについては、実施形態で示した方法を用いることができるが、以下に説明する方法を取ることもできる。

【0049】 SOI基板を作製する段階で、まず図3 (a) のように、p基板31の上に多孔質層32を形成する。次に図3 (b) に示すように、マスクアライメント用の基準になる凹凸領域を作るため、この多孔質層32に凹領域33を設ける。

【0050】 次に図3 (c) に示すように、多孔質層32上にSi層34をエピタキシャル成長させ、さらに図3 (d) に示すように、その上に酸化膜35を形成する。このとき、表面の酸化膜層35には多孔質層に応じた凹凸が現れるため、CMP（化学機械的ポリシング）などで図3 (e) のように表面平坦性を確保する。

【0051】 そして図3 (f) に示すように、平坦化された酸化膜表面とハンドルウエハ36を貼りあわせた後、図3 (g) に示すように、多孔質層32で分離し、さらに基板上に残った多孔質層32の一部をエッティングすると、表面のエピタキシャルSiにはマスクアライメント用の基準となる凹凸領域33が残ることになる。なお、不用なSi領域31を研削した後に多孔質層32をエッティング除去してもよい。以下の工程は、凹凸領域33を基準にアライメントすることで、所望の位置にデバイスを作り込んでいくことができる。

【0052】 これに対して例えば従来は、SIMOXウエハを用いて、ゲート電極をマスクとして、酸素の高エネルギー注入を行い、埋め込み酸化膜を断続的に形成するような方法があった。この場合はSi活性層がCZ法によるSiであるのに比べ、本実施例ではSi活性層を、エピタキシャルSiで構成できる。エピタキシャルSiにおいては、結晶欠陥の原因となる不純物酸素と炭素の濃度を極めて低くできる高品質のSi活性層が得られ、そこに作り込まれる半導体デバイスの特性を向上さ

せることができる。

【0053】 [実施例2] 実施例1では貼りあわせ前の第1の単結晶基体に、島状の半導体領域を間に有する埋め込み酸化膜とSOIのデバイスを作り込む活性層とを形成し、これを第2の単結晶基板と貼り合わせているが、これ以外に第1の単結晶基体に島状の半導体領域を間に有する埋め込み酸化膜を、第2の単結晶基体にSOIのデバイスを作り込む活性層を形成し、第1の単結晶基体と第2の単結晶基板とを貼りあわせる方法をとることもできる。

【0054】 本実施例による製造方法を図4を用いて説明する。

【0055】 図4 (a) に貼りあわせ前の第1の単結晶基体を示す。バルクウエハ41に酸化膜42を形成した後、フォトマスク43を用いてドライエッティング(図4 (b), (c))し、実施例1の方法と同様に選択エピタキシャルでSi活性層43を生成し(図4 (d))、表面研磨を施す(図4 (e))。

【0056】 一方、第2の単結晶基体として、バルクウエハ44上に多孔質Si層45と、さらにその上にエピタキシャルでSi活性層46を積層しておく。

【0057】 次に、これら第1の単結晶基体と第2の単結晶基体とを貼りあわせ(図4 (f), (g))、最後に多孔質Si層45で分離して残った多孔質Siをエッティング等で除去し、又はバルクウエハ44を研削、除去したのちに多孔質Si層45を除去して所望のSOI構造である、図4 (h) の構造を得る。

【0058】 [実施例3] 本実施例は第1の単結晶半導体基体内に分離層を形成して、第2の単結晶半導体基体に貼り合わせた後に、分離層で分離することで分離層上の第1の単結晶半導体基体の一部を第2の単結晶半導体基体に移設する方法を用いて本発明を実施した場合の例である。本実施例による製造方法を図5を用いて説明する。

【0059】 図5 (a) に示すように、貼りあわせる前の第1のウエハ51において、埋め込み酸化膜に相当するシリコン酸化膜52を表面に形成する段階までは、通常のSOI基板の生成方法と同じである。本実施例では、貼りあわせた後で不用になる基板領域をカットするための処理を施しておく。例えば、カットしたい領域53に水素注入53を行っておく。半導体基板に水素を注入することで微少空隙を含む層あるいはその後の熱処理により微少空隙を生じうる潜在的微少空隙を含む層を半導体基板の表面より所定の深さの位置に形成することができる。

【0060】 次に実施形態で用いたのと同様の方法で、図5 (b), (c) のように一面に均一に形成されているSiO<sub>2</sub>層52に対しフォトマスク54を用いてエッティングを行い、SiO<sub>2</sub>の存在しない所望の領域を作り、図5 (d) のようにフォトレジスト54を除去した

後にそこに選択エピタキシャル成長を行って、図5 (e) のようなエピタキシャルSi領域54を形成する。そして、図5 (f) のように、選択研磨を行って表面平坦性を確保した後、図5 (g) のように第2のウエハ55と貼りあわせる。

【0061】貼りあわせた後は、予め所定の処理が施されている領域53に対し、図5 (h) に示すように、不用な基板領域を除去するための処置を行い、不用領域をカットする。例えば水素注入層に対しては、適度な温度でアニールしてやるとそこからカットされることになる。

【0062】本実施例においては貼りあわせ前の第1の単結晶基体に、SOIのデバイスを作り込む活性層と、埋め込み酸化膜層を形成しているが、これ以外に第1の単結晶基体には、埋め込み酸化膜層のみを、第2の単結晶基体には、SOIのデバイスを作り込む活性層を形成し、本実施例に準じた方法でこの埋め込み酸化膜中に島状のシリコン層を形成した後、第1の単結晶基体と第2の単結晶基体とを貼りあわせる方法をとることもできる。

【0063】このようにして作製したSOI基板に対しデバイスを作り込む際のマスクアライメント合わせについては、実施形態で示した方法を用いることができるが、以下に説明する方法を取ることもできる。

【0064】この方法を図6を用いて説明する。

【0065】図6 (a) に示すように、最初にSiウエハ61に酸化膜62を積層し、次にSiO<sub>2</sub>酸化膜62の一部に凹領域63を設け、さらに図6 (b) のようにその上から水素注入を行い水素注入領域65を形成する。

【0066】その後、所定のSOI構造を得るための工程を経た後、貼りあわせ表面を平坦化し、図6 (c) のように第2の基板64と貼りあわせてから、水素注入層65を境とするカッティングを行うと、図6 (d) のような、Si活性層表面に、凸部のアライメント基準が残ることになる。

【0067】【実施例4】実施例1, 2, 3において、選択エピタキシャル成長を行う場合にはファセット(Facet)が生じるので、このFacetを選択研磨する必要があり、プロセス工程が複雑になる。本実施例では選択エピタキシャル成長を用いることなく本発明を実施する方法について説明する。

【0068】図7は本実施例の製造工程を示す図である。

【0069】図7 (a) に示すように第1のウエハ71に多孔質Si層72を形成した後、図7 (b) に示すようにSi層73をエピタキシャル成長させる。このときのエピタキシャルSi層73の膜厚は、(SOIの活性層) + (埋め込み酸化膜層) の設定とする。

【0070】一例として、具体的には、CVD法におい

て、1100℃、常圧で、H<sub>2</sub>ガス150l/min, HCl 400 sccm, トリクロロシランSiHCl (液体) 36.2 g/min、で40秒積層する。

【0071】次に、この上に図7 (c) のように所望の領域だけ窒化膜74を形成し、熱酸化する。もしくは窒化膜74をマスクとしてその上から酸素の注入を行う。

【0072】これにより図7 (d) に示すように、エピタキシャルSi層73の内部に断片的なSiO<sub>2</sub>アイランド75が形成される。そして図7 (e) に示すように、CMPで表面を平坦にする。

【0073】その後、図7 (f) に示すように第2のウエハ76と貼りあわせた後、実施例1と同様に、図7 (g) に示すように、多孔質Si層72で分割し、図7 (f) に示すように残留した多孔質Si層72をエッチング除去し、図7 (g) に示す構造を得る。なお、多孔質Si層72と結合している第1のウエハ71を研削し、エッチングにより多孔質Si層72も除去することで、図7 (h) の構造を得ることもできる。

【0074】【実施例5】実施形態で説明したような方法によって、Si活性層の厚さ2000Å、埋め込み酸化膜層の厚さ2000ÅのSOI基板を作製した。そしてこのSOI基板を用いて、図8に示すように、埋め込み酸化膜82間のSiアイランドの直上に、チャネル領域が位置するようにMOSトランジスタを形成し、また、別のSiアイランドの直上に、そのMOSトランジスタのゲートに接続されている静電気対策用の保護ダイオードを作製した。

【0075】これにより、MOSトランジスタのドレン電流-ドレン電圧特性を測定した。

【0076】ソースをGND、ゲート電圧3V一定にして、ドレン電圧を0Vから0.1Vおきに上げていったとき、従来のSOI上のMOSトランジスタにおいては3Vから現れていたキック電流が、本実施例によるSOI上のMOSトランジスタにおいては観測されなくなった。

【0077】また、通常バルクウエハで用いられているのと同じ保護回路を採用できた結果、従来SOIのチップ全体の20%の占有面積を占めていた保護回路領域を5%にまで低減することができた。

【0078】また、図9のような本発明におけるSOI基板において、Siアイランド領域93の直上に形成される半導体装置、もしくは半導体装置の所定の領域の例として、他には高耐圧素子も挙げられる。これら上に作り込まれる半導体装置もしくは半導体装置の所定の領域について、Si活性層94と下地Si基板91がSi93でつながっていることによる効果が現れるものであれば、上記実施例に記載されているものに限られるものではない。

【0079】

【発明の効果】以上説明したように、本発明によれば、

絶縁領域間に上部半導体層と下地の半導体層（又は半導体基体）をつなぐ半導体領域を設けた貼りあわせ法によるSOI基板を提供することができる。

【0080】MOSトランジスタ等の電界効果トランジスタおよびESD対策用の保護回路を形成する際、チャネル領域直下、もしくは保護回路直下に、上記絶縁領域間に設けられた半導体領域がくるように素子を形成した。

【0081】これにより、過剰なキャリアを活性層から下地の基板側に放散することが可能になり、この導通している領域の上に電界効果トランジスタのチャネルが来るよう作成した場合は、キング電流やバイポーラ効果の抑制を達成できた。  
10

【0082】また、ESD用の保護ダイオードが来るよう作成した場合は、バルクと同様の保護効果があるため、SOI用の特別な保護回路の設計が不用になった。

【図面の簡単な説明】

【図1】本発明の実施例1による半導体部材の製造工程を示す断面図である。

【図2】多孔質層を分離層として用いた貼り合わせ法によるSOI基板の基本的な作製工程を示す断面図である。  
20

【図3】本発明の実施例1によるSOIのマスクアライメント作製工程を示す断面図である。

【図4】本発明の実施例2による半導体部材の製造工程を示す断面図である。

【図5】本発明の実施例3による半導体部材の製造工程を示す断面図である。

【図6】本発明の実施例3によるSOIのマスクアライメント作製工程を示す断面図である。

【図7】本発明の実施例4による半導体部材の製造工程を示す断面図である。

【図8】本発明で提供するSOI基板のデバイス構成を示す断面図である。

【図9】本発明で提供する方法で作製するSOI構造を示す断面図である。

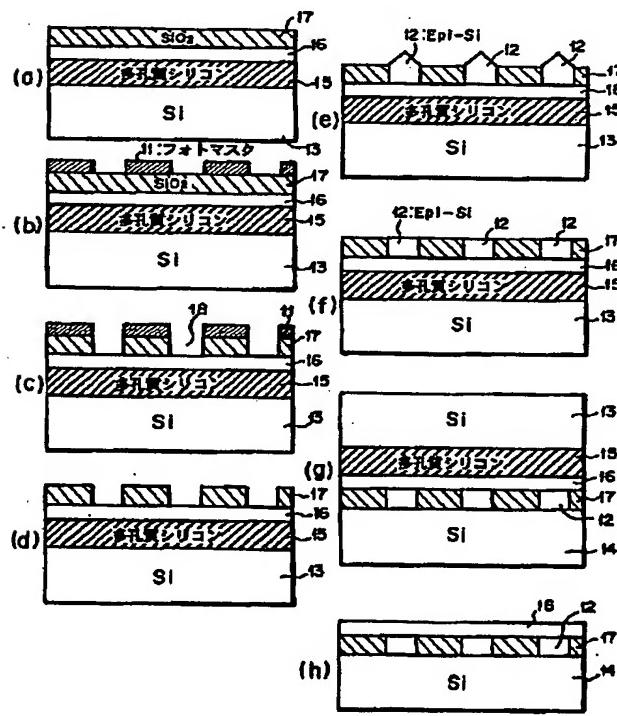
【図10】SOI構造を示す断面図である。

【図11】SOI上のMOSトランジスタを示す模式的断面図である。

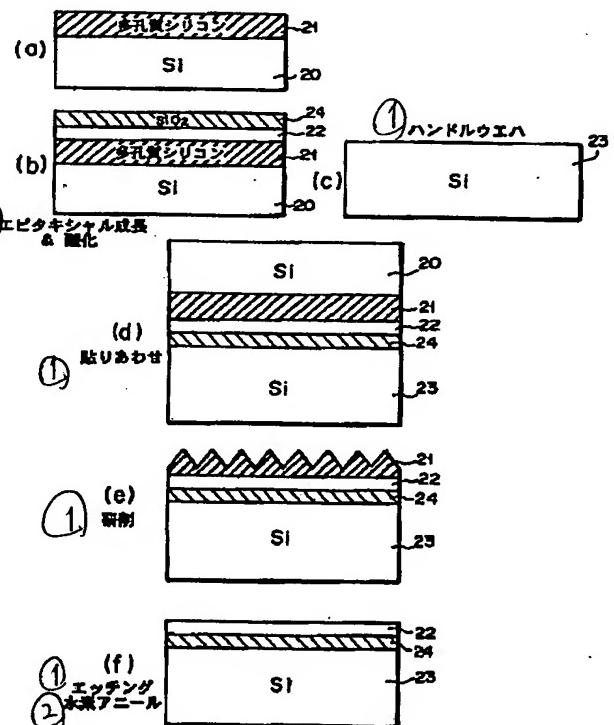
【符号の説明】

- 1 1 フォトマスク
- 1 2 エピタキシャルSi層
- 1 3 下地基板
- 1 4 他の基板
- 1 5 分離層
- 1 6 半導体層
- 1 7 シリコン酸化膜
- 1 8 領域

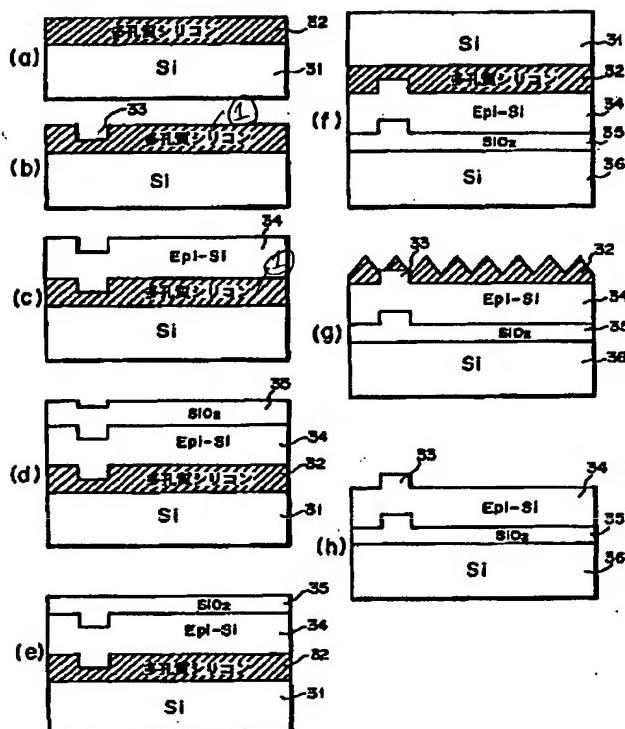
【図1】



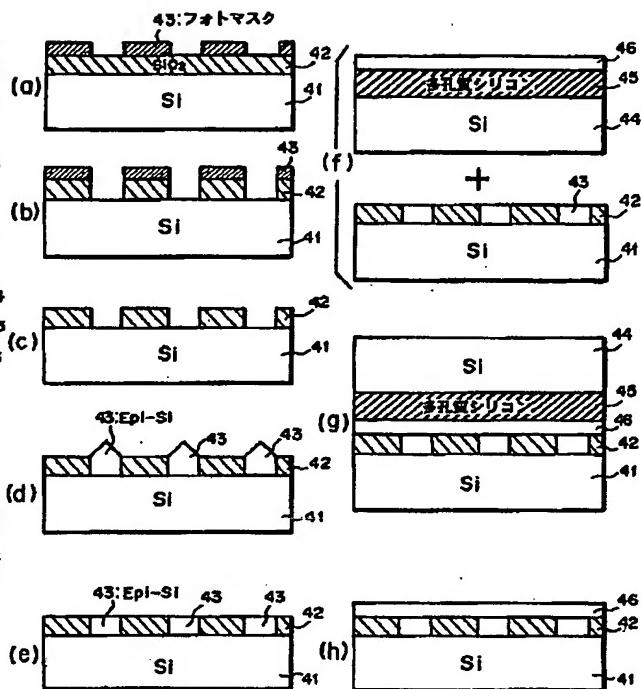
【図2】



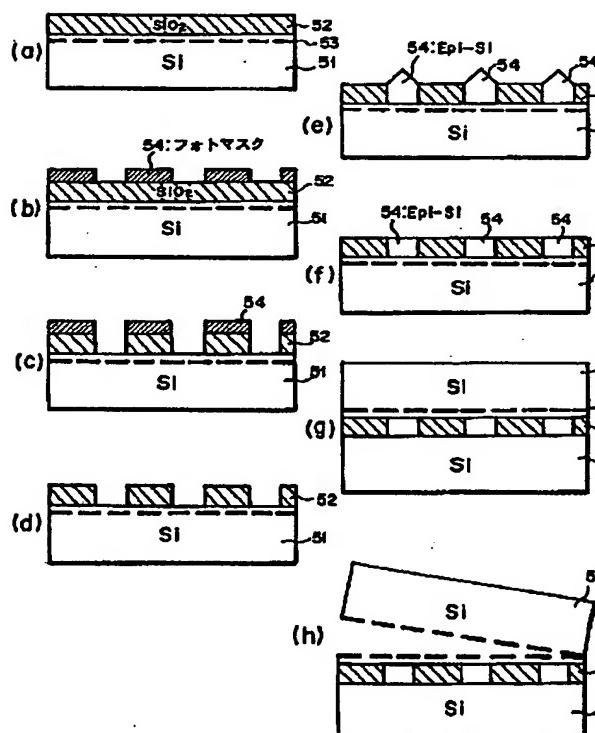
【図3】



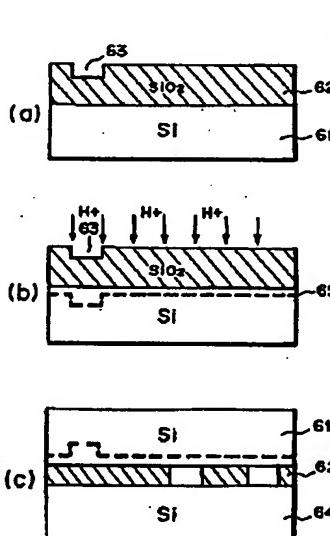
【図4】



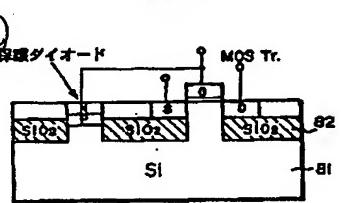
【図5】



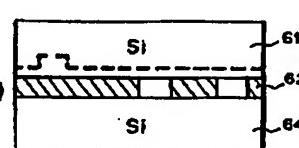
【図6】



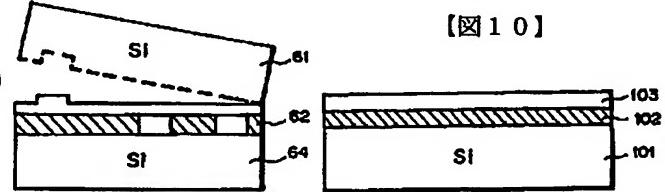
【図8】



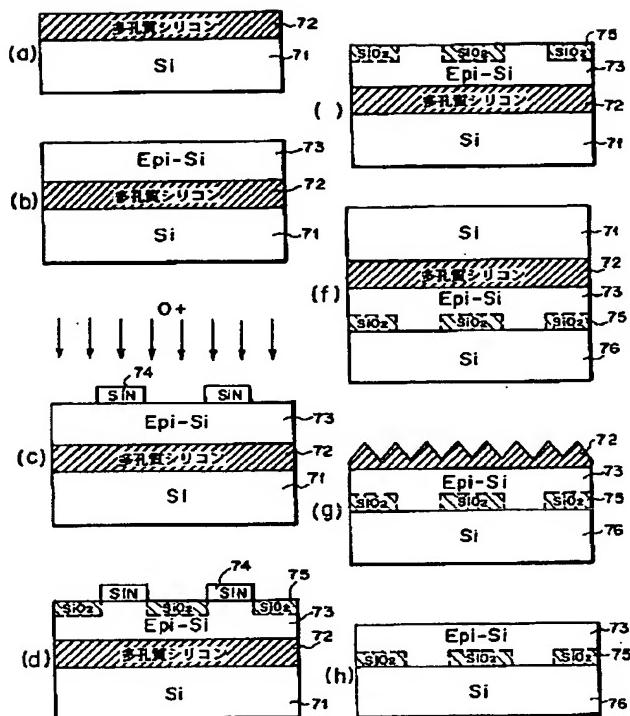
【図9】



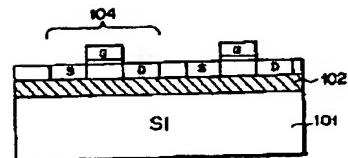
【図10】



【図7】



【図11】



フロントページの続き

(51) Int.Cl. 7

H 01 L 27/08  
29/786  
21/336

識別記号

3 3 1

F I

H 01 L 27/08  
29/78

マークコード(参考)

1 0 2 F  
6 2 7 D

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2001320033 A

(43) Date of publication of application: 16.11.01

(51) Int. Cl

**H01L 27/12****H01L 21/02****H01L 21/8234****H01L 27/088****H01L 27/08****H01L 29/786****H01L 21/336**

(21) Application number: 2000137214

(71) Applicant: CANON INC

(22) Date of filing: 10.05.00

(72) Inventor: SHIMIZU HISAE

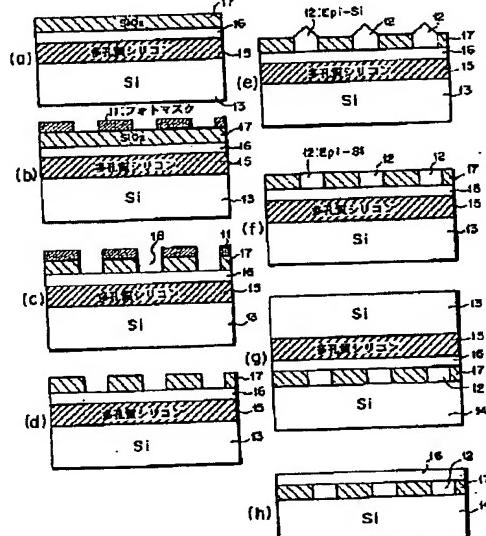
**(54) SEMICONDUCTOR MEMBER AND METHOD FOR  
MANUFACTURING THE SAME AND  
SEMICONDUCTOR DEVICE USING THE METHOD**

COPYRIGHT: (C)2001,JPO

## (57) Abstract:

**PROBLEM TO BE SOLVED:** To form semiconductor regions between plural insulating regions, in an SOI substrate formed by a sticking method.

**SOLUTION:** This method is provided with a process for preparing a first member having the plural insulating regions 17 and the plural semiconductor regions 12 formed between the plural insulating regions, a process for sticking the first member to a second member 14 as semiconductor base material in such a manner that a structure body in which the plural insulating regions and the plural semiconductor regions are positioned inside is obtained, and a process for transferring the plural insulating regions and the plural semiconductor regions to the second member 14 side.



[Claims]

[Claim 1]

A method of manufacturing a semiconductor member comprising:

5        a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between said plurality of insulating regions;

10      a step for bonding said first member to a second member, which is a semiconductor base, so as to obtain a multi-layer structure wherein said plurality of insulating regions and said plurality of semiconductor regions are located therein; and

15      a step for moving said plurality of insulating regions and said plurality of semiconductor regions to said second member side.

[Claim 2]

A method of manufacturing a semiconductor member comprising:

20        a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between said plurality of insulating regions, on a semiconductor base or on a semiconductor layer of a semiconductor base having said 25      semiconductor layer;

a step for bonding said first member to a second member, which is a semiconductor base, so as to obtain

a multi-layer structure wherein said plurality of insulating regions and said plurality of semiconductor regions are located therein; and

5       a step for moving said plurality of insulating regions, said plurality of semiconductor regions, and said semiconductor layer or a part of said semiconductor base to said second member side.

[Claim 3]

10      The method of manufacturing a semiconductor member according to claim 1, wherein said moving step is conducted by isolating with an isolating layer formed under a plurality of insulating regions and a plurality of semiconductor regions of said first member.

[Claim 4]

15      The method of manufacturing a semiconductor member according to claim 2, wherein said moving step is conducted by isolating with an isolating layer formed in the semiconductor base of said first member, or under said semiconductor layer of said base.

20      [Claim 5]

A method of manufacturing a semiconductor member comprising:

25      a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between said plurality of insulating regions;

a step for preparing a second member having a semiconductor layer;

a step for bonding said first member to a second member so as to obtain a multi-layer structure wherein  
5 said plurality of insulating regions and said plurality of semiconductor regions of said first member, and said semiconductor layer of said second member are located therein; and

a step for moving said semiconductor layer to said  
10 first member side.

[Claim 6]

A method of manufacturing a semiconductor member comprising:

a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between said plurality of insulating regions;  
15

a step for bonding said first member to a second member, which is a semiconductor base, so as to obtain  
20 a multi-layer structure wherein said plurality of insulating regions and said plurality of semiconductor regions of said first member are located therein; and

a step for moving a part of the semiconductor base of said second member to said first member side.

25 [Claim 7]

The method of manufacturing a semiconductor member according to claim 5, wherein said moving step is

conducted by isolating with an isolating layer formed under said semiconductor layer of said second member.

[Claim 8]

The method of manufacturing a semiconductor member  
5 according to claim 2 or claim 5 characterized in that  
said semiconductor layer is formed by epitaxial growth.

[Claim 9]

The method of manufacturing a semiconductor member  
according to claim 6, wherein said moving step is  
10 conducted by isolating with an isolating layer formed  
in the semiconductor base of said second member.

[Claim 10]

The method of manufacturing a semiconductor member  
according to any of claims 1 to 9 characterized in that  
15 said plurality of insulating regions and said plurality  
of semiconductor regions are formed by forming an  
insulating layer on the semiconductor surface, opening  
said insulating layer, and then depositing said  
semiconductor regions in the openings.

20 [Claim 11]

The method of manufacturing a semiconductor member  
according to any of claims 1 to 9 characterized in that  
said plurality of insulating regions and said plurality  
of semiconductor regions are formed by selectively  
25 forming insulating regions on a semiconductor base or a  
semiconductor layer.

[Claim 12]

A semiconductor member manufactured using a manufacturing method according to any of claims 1 to 11.

[Claim 13]

A semiconductor device using a semiconductor member manufactured using a manufacturing method according to any of claims 2, 4, 5 and 6 to 11, wherein at least a part of a semiconductor circuit is formed on a region in said semiconductor layer or a region in a part of said semiconductor base located immediately above said semiconductor regions.

[Claim 14]

The semiconductor device according to claim 13 characterized in that said semiconductor circuit is a protective circuit against over-voltage or over-current from an external source.

[Claim 15]

The semiconductor device according to claim 13 characterized in that said semiconductor circuit is a protective circuit against over-voltage or over-current from an external source, and the channel region of a field effect transistor.

[Claim 16]

The semiconductor device according to claim 13 characterized in that said semiconductor circuit is a protective circuit against over-voltage or over-current from an external source, and a high voltage resistant semiconductor element.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention]

5       The present invention relates to a method of manufacturing a semiconductor member, and a semiconductor member and a semiconductor device manufactured using such a method; and more specifically to a method of manufacturing an SOI substrate having a  
10      semiconductor layer on the surface of a semiconductor through an insulating layer, and a semiconductor member and a semiconductor device manufactured using such a method.

[0002]

15      [Prior Art]

An SOI (semiconductor on insulator) substrate has a structure wherein an underlying semiconductor substrate is isolated from the active layer of a semiconductor such as Si that forms an element through an insulating layer such as an oxide film. Figure 10 is a sectional view showing the structure an SOI substrate. In Figure 10, reference numeral 101 denotes a semiconductor substrate, 102 denotes an insulating layer, and 103 denotes an active layer of a  
20      semiconductor.  
25

[0003]

Figure 11 is a sectional view showing an MOS transistor formed on an SOI substrate. Compared with an MOS transistor formed on a bulk substrate, the source-drain (S-D) bottom of the MOS transistor 104 contacts with an insulating layer 102, lowers the parasitic capacitance such as the capacitance of the diffusion layer, and can realize increase in the speed and low-power-consumption driving of semiconductor devices. Furthermore, since each element is isolated by the insulating layer 102, the effect of noise reduction can be realized.

[0004]

[Problems to be Solved by the Invention]

However, due to the presence of the insulating layer, excessive carriers produced in the high electric field in the vicinity of the drain are trapped and accumulated in the bottom of the MOS channel causing the "kink phenomenon" and the "parasitic bipolar effect" peculiar to MOS transistors on an SOI substrate, and the properties of the element are deteriorated. Furthermore, when a protective circuit for ESD (electrostatic discharge) is considered, excessive charge produced by surge as in the bulk substrate cannot be moved into the underlying substrate side due to the presence of the insulating layer, and it is difficult to form an effective protective circuit. As a result, there was a problem that the area of the

protective circuit of elements formed on an SOI substrate became much larger compared to that of the bulk substrate, causing undesirable layout constitution for downsizing.

5 [0005]

[Means for Solving the Problems]

A method of manufacturing a semiconductor member of the present invention has a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between the plurality of insulating regions; a step for bonding the first member to a second member, which is a semiconductor base, so as to obtain a multi-layer structure wherein the plurality of insulating regions and the plurality of semiconductor regions are located therein; and a step for moving the plurality of insulating regions and the plurality of semiconductor regions to the second member side.

[0006]

20 Another method of manufacturing a semiconductor member has a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between the plurality of insulating regions, on a semiconductor base or on a 25 semiconductor layer of a semiconductor base having the semiconductor layer; a step for bonding the first member to a second member, which is a semiconductor

base, so as to obtain a multi-layer structure wherein the plurality of insulating regions and the plurality of semiconductor regions are located therein; and a step for moving the plurality of insulating regions,

- 5 the plurality of semiconductor regions, and the semiconductor layer or a part of the semiconductor base to the second member side.

[0007]

Another method of manufacturing a semiconductor member has a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between the plurality of insulating regions; a step for preparing a second member having a semiconductor layer; a step for bonding 10 the first member to a second member so as to obtain a multi-layer structure wherein the plurality of insulating regions and the plurality of semiconductor regions of the first member, and the semiconductor layer of the second member are located therein; and a 15 step for moving the semiconductor layer to the first member side.

20

[0008]

Another method of manufacturing a semiconductor member has a step for preparing a first member having a plurality of insulating regions and a plurality of semiconductor regions formed between the plurality of insulating regions; a step for bonding the first member 25

to a second member, which is a semiconductor base, so  
as to obtain a multi-layer structure wherein the  
plurality of insulating regions and the plurality of  
semiconductor regions of the first member are located  
5 therein; and a step for moving a part of the  
semiconductor base of the second member to said first  
member side.

[0009]

A semiconductor member of the present invention is  
10 manufactured using the manufacturing method of the  
present invention.

[0010]

A semiconductor device of the present invention is  
manufactured using the semiconductor member of the  
15 present invention, wherein at least a part of a  
semiconductor circuit is formed on a region in the  
semiconductor layer or a region in a part of the  
semiconductor base located above the semiconductor  
regions.

20 [0011]

[Operation]

The present invention provides a semiconductor  
member wherein a semiconductor island layer 93 that  
links an upper semiconductor layer 94 and an underlying  
25 semiconductor layer (or a semiconductor base) 91 is  
provided between insulating regions 92 such as buried  
oxide films, as Figure 9 shows.

[0012]

Thereby, when an MOS transistor and a protective circuit against ESD are formed as Figure 8 shows, the elements can be formed so that the semiconductor island 5 region comes immediately under the channel region of the MOS or immediately under the protective circuit.

[0013]

As a result, firstly, excessive carriers produced in the high electric field of the drain gather in the 10 channel bottom of the MOS, from which the excessive carriers can escape to the underlying substrate 81 through the semiconductor island. Therefore, the deterioration of elements peculiar to MOS transistors on the SOI, such as the occurrence of kink current and 15 the parasitic bipolar effect caused by the accumulation of carriers in the channel bottom can be inhibited.

[0014]

Secondly, a protective diode against ESD can be formed vertically as for the bulk substrate. The 20 excessive charge produced by static electricity can be dissipated into the underlying substrate through the semiconductor island region between buried oxide films 82. Therefore, the bulk protective circuit can be used as it is.

25 [0015]

[Embodiments of the Invention]

The embodiments of the present invention will be described in detail below referring to the drawings.

[0016]

Figure 1 is sectional views showing the steps of a  
5 method of manufacturing an SOI substrate of the present  
invention.

[0017]

First, as Figure 1(a) shows, a semiconductor layer  
16 such as an Si layer corresponding to the active  
10 layer of the SOI is formed on the isolating layer 15 of  
the underlying substrate 13, whereon a silicon oxide  
film 17 corresponding to an insulating film is  
laminated to fabricate a substrate before bonding two  
substrates,

15 [0018]

The Si layer, which is an active layer of the SOI  
substrate may be made of Si formed by epitaxial growth,  
or may be a part of an Si wafer formed by the CZ method  
or the like. It is not limited to a bonding type using  
20 an isolating layer such as porous silicon, but may be a  
bonding type wherein wafers are bonded through an  
isolating layer such as an oxide film without using an  
isolating layer such as porous silicon.

[0019]

25 Methods for forming a member that has a  
semiconductor layer on a semiconductor base through an  
isolating layer can be broadly divided into two. One

is a method wherein after forming a porous layer on a semiconductor base, a non-porous layer is formed on the surface thereof. The non-porous layer can be formed by epitaxial growth on a porous layer, or by the heat  
5 treatment of the surface of a porous layer in a hydrogen-containing atmosphere. The other is a method wherein heterogeneous elements, such as hydrogen ions, rare gas ions and nitrogen ions, are implanted into a semiconductor base to form a layer containing  
10 micropores, or a layer containing latent micropores that can form micropores by later heat treatment in a location of a predetermined depth from the surface of the semiconductor base.

[0020]

15 Next, as Figure 1(b) shows, dry etching is performed using a photo-mask 11, and as Figure 1(c) shows, a desired region 18 whose semiconductor surface containing no SiO<sub>2</sub> is exposed is prepared.

[0021]

20 Next, as Figure 1(d) shows, after removing the photo-mask 11, the desired region 18 whose semiconductor surface is exposed is subjected to selective epitaxial treatment to form an epitaxial Si layer 12 as Figure 1(e) shows. The selective epitaxial  
25 treatment obtains selectivity by using, for example, silane-based gas in a CVD method, and making the growth temperature as high as 1,000°C or higher. Specifically,

in the CVD method, lamination is performed at 1,100°C, under a normal pressure for 30 seconds using 150 (l/min) of H<sub>2</sub> gas, 400 sccm of HCl gas, and 36.2 (g/min) of trichlorosilane SiHCl (liquid).

5 Alternatively, a gas source molecular beam growth method may be used for lamination using disilane (Si<sub>2</sub>H<sub>6</sub>) or SiH<sub>4</sub> as the material gas to grow the laminate under a molecular beam region vacuum. Furthermore, an SiH<sub>2</sub>Cl<sub>2</sub>/H<sub>2</sub> system can be used for selective growth.

10 [0022]

Thus, an Si region 12 can be selectively formed in the layer corresponding to the oxide film (insulating layer) of the SOI substrate.

[0023]

15 Since the Si region 12 grown by such a selective epitaxial treatment has a pyramid shape, a facet, which has poor surface alignment with the SiO<sub>2</sub> layer, appears immediately after forming as Figure 1(e) shows. Therefore, it is required that selective polishing is 20 performed before bonding to the other substrate to improve surface alignment as shown in Figure 1(f).

[0024]

Various methods for selective polishing have been proposed, such as polishing using an oxide film as the 25 stopper; as polishing using a "nitride film", which has higher strength than the oxide film as the stopper, or CMP (chemical mechanical polishing). Using these

methods, the flatness of the surface of the oxide film including the Si region 12, which is the surface of the substrate 13, is secured. Thus, the silicon oxide film 17 that becomes a plurality of insulating regions, and 5 the Si region 12 that becomes a plurality of semiconductor region can be formed.

[0025]

Thereafter, as Figure 1(g) shows, the planarized surface of the substrate 13 is bonded to the substrate 10 surface or the other substrate 14 such as a wafer to form a multi-layer structure, the multi-layer structure is further isolated by the isolating layer, and the semiconductor layer and the silicon oxide layer 17 are moved to the substrate 14 side to fabricate an SOI 15 substrate as Figure 1(h) shows.

[0026]

Methods of isolation by the isolating layer are broadly divided into two. One is a method wherein energy for isolation is produced in the multi-layer 20 structure by externally heating the multi-layer structure, or by radiating light to the multi-layer structure to let it absorb the light. Specifically, when a layer containing micropores, or a layer containing latent micropores formed by implanting 25 hydrogen ions, rare gas ions or nitrogen ions into a predetermined depth of the first wafer receives heat energy, the number of micropores increases and the

density decreases. Thereby, the peeling phenomenon of the multi-layer structure occurs in the layer. This is a method for producing energy for isolation in the multi-layer structure. Alternatively, a method,  
5 wherein the isolating layer and/or the vicinity thereof is externally oxidized by heating, and the stress by the growth of the oxide film is utilized to isolation, may be used.

[0027]

10       The other is a method for externally and directly supplying energy required for isolation to the multi-layer structure. Specifically, the methods include a method wherein a wedge is inserted in the side of the multi-layer structure for peeling; a method wherein a  
15      fluid consisting of a liquid and/or a gas is blown onto the side of the multi-layer structure for peeling; a method wherein stresses of opposite directions to each other are supplied to the front face and the back face of the multi-layer structure, respectively, for  
20      peeling; a method wherein pushing pressures of opposite directions to each other are supplied to the front face and the back face of the multi-layer structure, respectively, to break down the isolating  
25      layer for peeling; a method wherein a shearing force is applied to the side of the multi-layer structure to break down the isolating layer for peeling; a method wherein an inside cutter blade or a wire saw is used

for slicing; and ultrasonic oscillation is supplied for breaking down the isolating layer. Although the liquid or the gas to be blown is not specifically limited, water or nitrogen gas is normally used. Of course, the 5 above-described methods may be used in combination.

[0028]

When an MOS transistor or a protective circuit is formed on thus fabricated SOI substrate, the alignment of the mask can be performed, for example, by radiating 10 infrared beams under the substrate, and monitoring the infrared beams using an IR camera on the substrate to identify the distribution of SiO<sub>2</sub> and Si in the oxide film. Thereby the Si regions 12 can be located immediately under the channel region of the MOS 15 transistor or the protective diode against ESD.

[0029]

In this embodiment, although an example is shown wherein an isolating layer 15, a semiconductor layer 16, and semiconductor regions 12 are formed on a substrate; 20 and the semiconductor layer 16 and the semiconductor regions 12 are moved to the other substrate; as Figure 4 shows the semiconductor regions may be formed on a substrate, the isolating layer and the semiconductor layer may be formed on the other substrate; and the 25 semiconductor layer may be moved to the first substrate.

[0030]

[Examples]

The examples of the present invention will be described below referring to the drawings.

[0031]

Example 1

5        Example 1 is an example of executing the present invention using a method wherein a porous layer is formed on a first single-crystal semiconductor base, a non-porous layer is formed on the surface thereof, and the first single-crystal semiconductor base is bonded  
10      to a second single-crystal semiconductor base; and then the porous layer is isolated with an isolating layer to move the non-porous layer to the second single-crystal semiconductor base.

[0032]

15      Prior to the description of this example, the methods used in this example will be described referring to Figures 2(a) to 2(f).

[0033]

First, as Figure 2(a) shows, a porous Si layer 21  
20      is formed on a first bulk wafer 20, whereon an epitaxial Si layer 22, which becomes an active layer, is grown. Then, as Figure 2(b) shows, after forming a silicon oxide film 24 by thermal oxidation, it is combined to a handle wafer 23 shown in Figure 2(c) to  
25      fabricate a multi-layer structure shown in Figure 2(d). Furthermore, isolation is performed in the porous layer, the interface between the porous layer and the wafer 20,

or the interface between the porous layer and the semiconductor layer 22. At this time, the silicon oxide film 24 and an epitaxial Si layer 22 are moved to the handle wafer 23 side. If a part of the isolated 5 porous layer is left on the epitaxial Si layer 22 as Figure 2(e) shows, it is removed by polishing or etching to obtain an SOI substrate as Figure 2(f) shows.

[0034]

The porous Si layer can be modified so as not to 10 be deteriorated by the heat-treatment temperature, to elevate the bonding annealing temperature until a sufficient bonding strength can be got, and to prevent peeling at the bonding surface, by oxidation treatment prior to the growth of the epitaxial layer, and further 15 by hydrogen treatment to remove the oxide film on the layer surface.

[0035]

The porous Si can be etched selectively to the epitaxial Si layer using a solution of HF + H<sub>2</sub>O<sub>2</sub>.

20 [0036]

Although the above method is described in detail, for example, in Japanese Patent Application Laid-Open No. 5-21338/1993, a method for obtaining a semiconductor base by making a P-type base 20 porous, 25 and epitaxially growing a single-crystal layer will be described here in further detail referring to Figures 2(a) to 2(f).

[0037]

First, as Figure 2(a) shows, a P-type Si single-crystal base 20 is prepared, and a part thereof is made porous to form a porous Si layer 21.

5 [0038]

Next, as Figure 2(b) shows, the surface of the porous base is subjected to epitaxial growth using the above-described crystal growing method that enables low-temperature growth, to form a thin film single-crystal layer 22. The P-type Si single-crystal base 20 is made porous by the anodizing method using an HF solution. The density of the porous Si layer 21 can be varied within a range between 1.1 and 0.6 g/cm<sup>3</sup>, compared with the density of single crystal Si of 2.33 g/cm<sup>3</sup>, by varying the concentration of the HF solution from 50 to 20%. Furthermore, an oxide layer 24 is formed thereon.

[0039]

Then, as Figure 2(c) shows, another Si base 23 is prepared, and the Si base 23 is bonded to the porous Si base 21 shown in Figure 2(b) whereon a single-crystal Si layer 22 and the oxide layer 24 are formed, to fabricate a multi-layer structure as Figure 2(d) shows.

[0040]

25 Thereafter, as Figure 2(e) shows, the porous Si layer 21 is totally etched off, or the porous Si layer 21 remaining after splitting the porous Si layer 21 is

etched off, leaving a thinned single-crystal Si layer 22 on the SiO<sub>2</sub> layer 24. Here, since the porous semiconductor layer is etched off without performing oxidation treatment to the porous semiconductor layer, 5 the expansion of the porous semiconductor layer due to oxidation can be prevented, and the effect of strain of the epitaxially grown single-crystal layer can be prevented. According to this method, a planarized single-crystal Si layer 22, having the similar 10 crystallinity as a silicon wafer can be evenly thinned on the oxide Si layer 24 which is an insulator, and formed on the entire surface of the wafer in a large area. Thus obtained semiconductor base can be 15 preferably used in the aspect of the fabrication of insulated and isolated electronic elements.

[0041]

In order to form a thin film semiconductor device on the semiconductor single-crystal layer, the thickness of the non-porous semiconductor single- 20 crystal layer formed on the porous semiconductor base is preferably 50 μm or less, more preferably 20 μm or less.

[0042]

The non-porous semiconductor single-crystal is 25 bonded to the base having an insulator material surface preferably in an atmosphere of nitrogen, an inert gas, or the mixture thereof, or in an atmosphere containing

an inert gas or nitrogen, and further preferably in a heated state.

[0043]

The etchants that selectively etch the porous semiconductor base leaving a bonded non-porous semiconductor single-crystal layer on the base having an insulator material surface include, for example, an aqueous solution of sodium hydroxide, an aqueous solution of potassium hydroxide, and a hydrofluoric acid-nitric acid-acetic acid mixed solution.

[0044]

What is described is a method for moving a non-porous layer to the other substrate by isolating the porous layer with an isolating layer used in this example. Now, a method for fabricating an SOI substrate of this example using the above method will be described referring to Figures 1(a) to 1(h).

[0045]

First, as Figure 1(a) shows, a porous Si layer 15 is formed on a first bulk wafer 13, whereon an epitaxial Si layer 16 to be an active layer is grown, and a silicon oxide film 17 is formed by thermal oxidation in the same manner as described using Figure 2.

[0046]

Next, in the same manner as used in the above-described embodiment, dry etching is performed to SiO<sub>2</sub>

formed evenly on the entire surface using a photo-mask 11 as Figure 1(b) shows. The size of the photo-mask is preferably at largest the same as the size of the channel region of the MOS transistor or the protective diode. As Figure 1(c) shows, a desired region 18 containing no SiO<sub>2</sub> is formed by dry etching; and as Figure 1(d) shows, the photo-mask 11 is removed, and selective epitaxial growth is performed on the region 18 to form the epitaxial Si region 12 as Figure 1(e) shows. Then, as Figure 1(f) shows, after selective polishing is performed to secure surface flatness, the porous Si layer 15 is bonded to the handle wafer 14, which is the second wafer as Figure 1(g) shows.

[0047]

Next, as Figure 1(h) shows, the Si bonded with the porous Si is polished by a normal method for fabricating SOI by bonding, and the porous Si layer is also removed by etching to obtain, the SOI structure can be obtained.

[0048]

Although the method shown in the embodiment can be used for alignment, the method described below can also be used.

[0049]

In the step for fabricating the SOI substrate, as Figure 3(a) shows, a porous layer 32 is first formed on a p-substrate 31. Next, as Figure 3(b) shows, in order

to form a concave-convex region that becomes the reference for mask alignment, a concave region 33 is formed in the porous layer 32.

[0050]

5 Next, as Figure 3(c) shows, an Si layer 34 is epitaxially grown on the porous layer 32, and as Figure 3(d) shows, an oxide film 35 is formed thereon. At this time, since irregularity corresponding to the porous layer appears on the surface oxide layer 35, the 10 surface flatness is secured by CMP (chemical mechanical polishing) as Figure 3(e) shows.

[0051]

Then, as Figure 3(f) shows, when the planarized surface of the oxide film is bonded with a handle wafer 15 36, isolated with the porous layer 32 as Figure 3(g) shows, and a part of the porous layer 32 remaining on the substrate is etched, the concave-convex region 33 that becomes the reference for mask alignment is left on the epitaxial Si on the substrate. The porous layer 20 32 may be etched off after polishing the unnecessary Si region 31. In the following steps, the device can be formed in a desired location by the alignment using the concave-convex region 33 as reference.

[0052]

25 Whereas conventionally, there has been a method for intermittently forming buried oxide films, for example by using an SIMOX wafer, using a gate electrode

as a mask, and implanting high-energy oxygen. In this case, compared to the fact that the Si active layer is formed by the CZ method, the Si active layer is constituted with epitaxial Si in this example. In

5 epitaxial Si, a high-quality Si active layer that can extremely lower the content of impurity oxygen and carbon causing crystal defect, and the properties of the semiconductor device formed there can be improved.

[0053]

10 Example 2

In Example 1, although a buried oxide film having intervening island-shaped semiconductor regions and an active layer for forming an SOI device therein are formed on a first single-crystal base before bonding, 15 and the first single-crystal base is bonded with a second single-crystal base; a method wherein a buried oxide film having intervening island-shaped semiconductor regions is formed on a first single-crystal base, an active layer for forming an SOI device 20 therein is formed on a second single-crystal base, and the first single-crystal base is bonded with the second single-crystal base, can also be used.

[0054]

A manufacturing method according to this example 25 will be described referring to Figure 4.

[0055]

Figure 4(a) shows a first single-crystal base before bonding. After forming an oxide film 42 on a bulk wafer 41, dry etching is performed using a photo-mask 43 (Figures 4(b) and 4(c)), an Si active layer 43 5 is formed using selective epitaxial growth (Figure 4(d)) in the same manner as in Example 1, and surface polishing is performed (Figure 4(e)).

[0056]

On the other hand, as a second single-crystal base, 10 a porous Si layer 45 is laminated on a bulk wafer 44, and an Si active layer 46 is further laminated thereon using epitaxial growth.

[0057]

Next the first single-crystal base is bonded with 15 the second single-crystal base (Figures 4(f) and 4(g)), and finally, these are isolated with a porous Si layer 45, the remaining porous Si is removed using etching or the like, or the bulk wafer 44 is polished and removed and the porous Si layer 45 is removed to obtain a 20 desired SOI structure as shown in Figure 4(h).

[0058]

### Example 3

This example is the case of the implementation of the present invention using a method wherein after 25 forming an isolating layer in a first single-crystal base, and bonding the first single-crystal base to a second single-crystal base, they are isolated with an

isolating layer to move a part of the first single-crystal semiconductor base on the isolating layer to the second single-crystal base. A manufacturing method according to this example will be described referring 5 to Figure 5.

[0059]

As Figure 5(a) shows, the step up to forming a silicon oxide film 52, which corresponds to a buried oxide film, on the surface of the first wafer 51 before 10 bonding is the same as in the normal method of forming an SOI substrate. In this example, the treatment for cutting the substrate region that will become unnecessary after bonding is previously performed. For example, hydrogen implantation 53 is performed into the 15 region 53 to be cut. By implanting hydrogen in the semiconductor substrate, a layer containing micropores, or a layer containing latent micropores that can produce micropores by later heat treatment, can be formed in a predetermined depth from the surface of the 20 semiconductor substrate.

[0060]

Next, in the same manner as used in the embodiment, as Figures 5(b) and 5(c) show, the SiO<sub>2</sub> layer 52 evenly formed on the entire surface is etched using a photo-mask 54 to form a desired region containing no SiO<sub>2</sub>; 25 and as Figure 5(d) shows, the photoresist 54 is removed, and selective epitaxial growth is performed there to

form an epitaxial Si region 54 as Figure 5(e) shows. Then, as Figure 5(f) shows, after performing selective polishing to secure surface flatness, and as Figure 5(g) shows, the silicon oxide film 52 is bonded with 5 the second wafer 55.

[0061]

After bonding, as Figure 5(h) shows, a treatment for removing the unnecessary substrate region is performed on the region 53 whereon a predetermined 10 treatment has been performed, and the unnecessary region is cut. For example, the hydrogen-implanted layer can be cut from there by annealing at an adequate temperature.

[0062]

15 In this example, although an active layer for forming an SOI device therein and a buried oxide film are formed on a first single-crystal base before bonding, a method wherein only a buried oxide film is formed on a first single-crystal base, an active layer 20 for forming an SOI device therein is formed on a second single-crystal base, and after an island-shaped silicon layer is formed in the buried oxide film, the first single-crystal base is bonded with the second single-crystal base, can also be used.

25 [0063]

For mask alignment when a device is formed in thus fabricated SOI substrate, although the method described

in the embodiment can be used, the method to be described below can also be used.

[0064]

The method will be described referring to Figure 6.

5 [0065]

As Figure 6(a) shows, first, an oxide film 62 is laminated on an Si wafer 61, next, a concave region 63 is formed in a part of the  $\text{SiO}_2$  oxide film 62, and as Figure 6(b) shows, hydrogen is implanted from the above 10 to form a hydrogen-implanted region 65.

[0066]

Thereafter, steps for obtaining a predetermined SOI structure are conducted, the bonded surface is planarized, the Si wafer 61 is bonded with a second 15 substrate 64 as Figure 6(c) shows, and cutting is performed bounding on the hydrogen-implanted layer 65 to leave a convex alignment reference on the Si active layer, as Figure 6(d) shows.

20 [0067]  
Example 4

In Examples 1, 2 and 3, since facets are formed when selective epitaxial growth is performed, the facets must be selectively polished complicating process steps. In this example a method for 25 implementing the present invention without using selective epitaxial growth will be described.

[0068]

Figure 7 is diagrams showing the manufacturing steps of this example.

[0069]

As Figure 7(a) shows, after a porous Si layer 72 is formed on a first wafer 71, as Figure 7(b) shows, an Si layer 73 is formed using epitaxial growth. At this time, the thickness of the epitaxial Si layer 73 is set to (thickness of SOI active layer) + (thickness of buried oxide layer).

10 [0070]

As an example, specifically, lamination is performed using the CVD method at 1,100°C, under a normal pressure, and at the flow rate of 150 l/min of H<sub>2</sub> gas, 400 sccm of HCl, and 36.2 g/min of trichlorosilane SiHCl (liquid), for 40 seconds.

15 [0071]

Next, as Figure 7(c) shows, a nitride film 74 is formed only on the desired region, and thermally oxidized. Alternatively, the nitride film 74 is used 20 as a mask, and oxygen is implanted from the above.

[0072]

Thereby, as Figure 7(d) shows, fragmentary SiO<sub>2</sub> islands 75 are formed in the epitaxial Si layer 73. Then, as Figure 7(e) shows, the surface is planarized 25 by CMP.

[0073]

Thereafter, as Figure 7(f) shows, the first wafer 71 is bonded with a second wafer 76; as Figure 7(g) shows, they are divided with a porous Si layer 72 in the same manner as in Example 1; as Figure 7(f) shows, 5 the remaining a porous Si layer 72 is etched off to obtain the structure shown in Figure 7(g). The structure shown in Figure 7(h) can also be obtained by polishing the first wafer 71 bonded to the porous Si layer 72, and also removing the porous Si layer 72 by 10 etching.

[0074]

Example 5

An SOI substrate having a thickness of an Si active layer of 2,000 angstroms and a thickness of a 15 buried oxide film of 2,000 angstroms was fabricated using the method described in the embodiment. Using this SOI substrate, as Figure 8 shows, an MOS transistor was formed so that the channel region would be located immediately above the Si island between 20 buried oxide films 82, and a protective diode against static electricity connected to the gate of the MOS transistor was fabricated immediately above the other Si island.

[0075]

25 Thereby, the drain current-drain voltage characteristics of the MOS transistor were measured.

[0076]

When the source is grounded, the gate voltage was 3 V constant, and the drain voltage was raised from 0 V by 0.1 V, the kink current, which was observed from 3 V in a conventional MOS transistor on an SOI, was not 5 observed in the MOS transistor on the SOI according to this example.

[0077]

Since the same protective circuit as used in normal bulk wafers could be adopted, the area of a 10 protective circuit, which occupied 20% of the total area of a conventional SOI chip could be reduced to 5%.

[0078]

Examples of a semiconductor device formed immediately above the Si island region 93, or a 15 predetermined region of the semiconductor device in the SOI substrate of the present invention as in Figure 9 also include high-voltage resistant elements. These semiconductor devices or predetermined regions of semiconductor devices are not limited to those 20 described in the above examples as long as the effect by the Si active layer 94 and the underlying Si substrate 91 connected by Si 93 can be obtained.

[0079]

[Advantages of the Invention]

25 According to the present invention, as described above, there is provided an SOI substrate having a semiconductor that connects an upper semiconductor

layer with an underlying semiconductor layer (or a semiconductor base) between isolating regions formed by a bonding method.

[0080]

5       When a field effect transistor such as an MOS transistor and a protective circuit against ESD were formed, elements were formed so that the semiconductor region formed between the above-described isolating regions would come immediately under the channel region  
10      or the protective circuit.

[0081]

Thereby, excessive carriers could be dissipated from the active layer to the underlying substrate side, and when the channel of the field effect transistor was formed so as to come on the conducting region, the inhibition of the kink current and the bipolar effect could be achieved.  
15

[0082]

Also when the protective diode against ESD was formed so as to come on the conducting region, since the protective effect as in a bulk substrate could be obtained, the design of the special protective circuit for the SOI became unnecessary.  
20

[Brief Description of the Drawings]

25      [Figure 1]

Figure 1 is sectional views showing manufacturing steps of a semiconductor member according to Example 1 of the present invention.

[Figure 2]

5       Figure 2 is sectional views showing basic fabricating steps of an SOI substrate with a bonding method using a porous layer as an isolating layer.

[Figure 3]

10      Figure 3 is sectional views showing fabricating steps of an SOI mask alignment according to Example 1 of the present invention.

[Figure 4]

15      Figure 4 is sectional views showing manufacturing steps of a semiconductor member according to Example 2 of the present invention.

[Figure 5]

Figure 5 is sectional views showing manufacturing steps of a semiconductor member according to Example 3 of the present invention.

20      [Figure 6]

Figure 6 is sectional views showing fabricating steps of an SOI mask alignment according to Example 3 of the present invention.

[Figure 7]

25      Figure 7 is sectional views showing manufacturing steps of a semiconductor member according to Example 4 of the present invention.

[Figure 8]

Figure 8 is a sectional view showing the device constitution of an SOI substrate provided by the present invention.

5 [Figure 9]

Figure 9 is a sectional view showing the SOI structure fabricated using a method provided by the present invention.

[Figure 10]

10 Figure 10 is a sectional view showing an SOI structure.

[Figure 11]

Figure 11 is a schematic sectional view showing an MOS transistor on an SOI.

15 [Description of Symbols]

- 11 Photo-mask
- 12 Epitaxial Si layer
- 13 Base substrate
- 14 Other substrate
- 20 15 Isolating layer
- 16 Semiconductor layer
- 17 Silicon oxide film
- 18 Region

**Figure 1(a)**

15 Porous silicon

**Figure 1(b)**

5 11 Photo-mask

15 Porous silicon

**Figure 1(c)**

15 Porous silicon

10

**Figure 1(d)**

15 Porous silicon

**Figure 1(e)**

15 15 Porous silicon

**Figure 1(f)**

15 Porous silicon

20 **Figure 1(g)**

15 Porous silicon

**Figure 2(a)**

21 Porous silicon

25

**Figure 2(b)**

21 Porous silicon

#1 Epitaxial growth & oxidation

Figure 2(c)

#1 Handle wafer

5 Figure 2(d)

#1 Bonding

Figure 2(e)

#1 Polishing

10

Figure 2(f)

#1 Etching

#2 Hydrogen annealing

15 Figure 3(a)

32 Porous silicon

Figure 3(b)

#1 Porous silicon

20

Figure 3(c)

#1 Porous silicon

Figure 3(d)

25 32 Porous silicon

Figure 3(e)

32 Porous silicon

Figure 3(f)

32 Porous silicon

5

Figure 4(a)

43 Photo-mask

Figure 4(f)

10 45 Porous silicon

Figure 4(g)

45 Porous silicon

15 Figure 5(b)

54 Photo-mask

Figure 8

#1 Protective diode

20

Figure 7(a)

72 Porous silicon

Figure 7(b)

25 72 Porous silicon

Figure 7(c)

72 Porous silicon

Figure 7(d)

72 Porous silicon

5

Figure 7(e)

72 Porous silicon

Figure 7(f)

10 72 Porous silicon